



(19)

(11) Publication number:

06021393 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 04178053

(51) Intl. Cl.: H01L 27/108 H01L 21/302 H01L 27/04

(22) Application date: 06.07.92

(30) Priority:

(43) Date of application
publication: 28.01.94(84) Designated
contracting states:

(71) Applicant: MATSUSHITA ELECTRON CORP

(72) Inventor: UCHIDA HIROBUMI

(74) Representative:

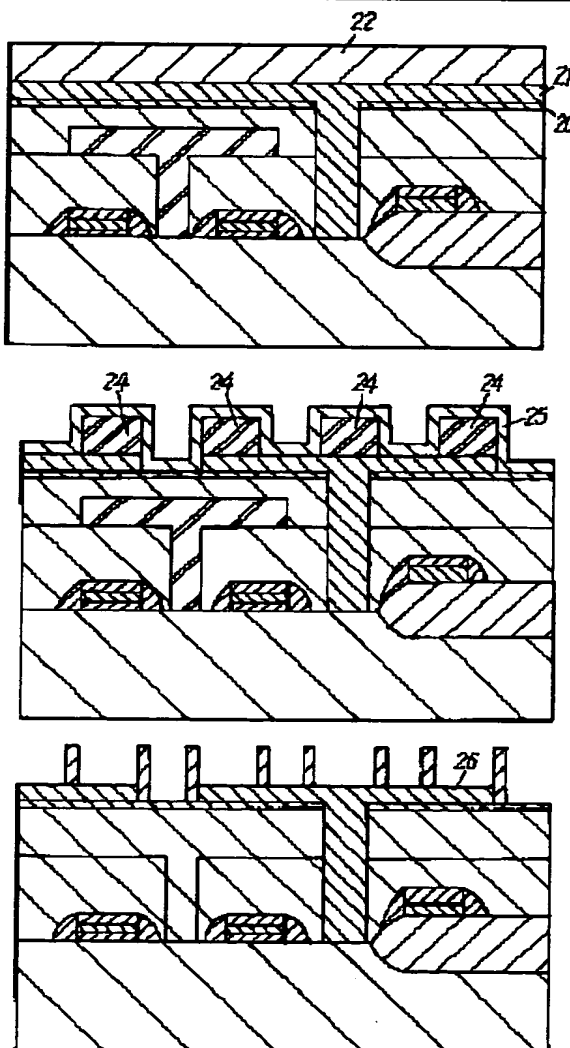
**(54) MANUFACTURE OF
SEMICONDUCTOR MEMORY**

(57) Abstract:

PURPOSE: To make the capacity of memory cells larger and to make high integration possible, by making the surfaces of storage electrodes have fine grooves and increasing the area.

CONSTITUTION: After an insulating film and a silicon nitride film 20 are grown on a semiconductor substrate of one conductivity type, a polysilicon film 21 with a contact window is grown. After that, a silicon oxide film 22 is grown, and polysilicon electrodes are formed by patterning. Next, a silicon oxide film pattern 24 is formed in the silicon oxide film, and a polysilicon film 25 is formed. After that, etching-back is performed, and storage electrodes 26 isolated from each other are formed. Subsequently, the oxide film masks 24 are removed. Consequently, it becomes possible to form grooves thinner than the resolution limit of lithography, and increase the surface area. Following this, a capacitor insulating film, a plate electrode, BPSG film aluminum wiring, and a surface protecting film are formed in the order.

COPYRIGHT: (C)1994,JPO&Japio



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-21393

(43) 公開日 平成6年(1994)1月28日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108				
21/302	F	8518-4M		
27/04	C	8427-4M		
		8728-4M		
			H 0 1 L 27/10	3 2 5 M

審査請求 未請求 請求項の数 1 (全 5 頁)

(21) 出願番号 特願平4-178053

(22) 出願日 平成4年(1992)7月6日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 内田 博文

大阪府門真市大字門真1006番地 松下電子
工業株式会社内

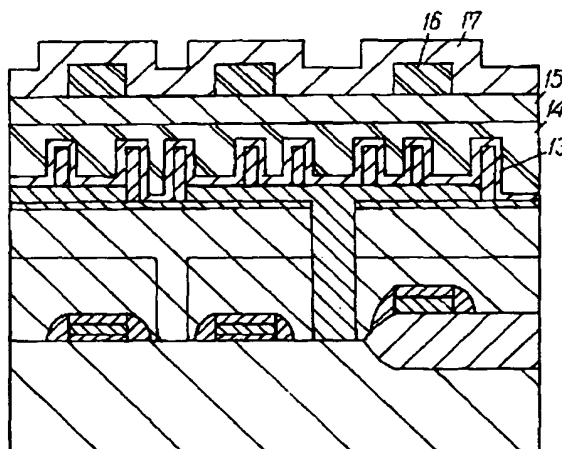
(74) 代理人 弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 半導体メモリー装置の製造方法

(57) 【要約】

【目的】 2次元的な面積を大きくしないで、大面積のポリシリコン電極を実現する。

【構成】 一導電型の半導体基板1に絶縁膜とシリコン窒化膜20を成長した後に、コンタクト窓10を形成し、ポリシリコン膜21を成長する。その後、シリコン酸化膜22を成長し、パターニングしてポリシリコン電極23を形成する。次に、前記シリコン酸化膜にシリコン酸化膜パターン24を形成した後に、ポリシリコン膜25を形成した後にエッチバックして、表面積の大きな蓄積電極26を形成する。これによって約50%の面積増加になる。次に、容量絶縁膜13、プレート電極14、BPSG膜15、アルミニウム配線16、表面保護膜17を順次形成する。



1

2

【特許請求の範囲】

【請求項1】一導電型の半導体基板に第一のポリシリコン膜を形成する工程と、前記ポリシリコン膜上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜にパターンを形成し、第二のポリシリコン膜を成長する工程と、前記第二のポリシリコン膜をエッチバックする工程と、前記第一の絶縁膜を除去する工程と、前記第一および第二のポリシリコン膜上に容量絶縁膜を形成する工程と、前記容量絶縁膜上に第三のポリシリコン膜を形成する工程とを備えたことを特徴とする半導体メモリ装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、大表面積を有するMOS型キャパシタを製造するのに好適な半導体メモリ装置の製造方法に関するものである。

【0002】

【従来の技術】従来の半導体メモリ装置の製造方法としては、図8～図12に示すような構成が一般的であった。以下図8～図12を用いて従来方法について説明する。

【0003】図8において、シリコン基板1に従来の方法で選択的に分離用酸化膜2を形成する。つぎに、ゲート酸化膜3とポリシリコン膜4とシリコン酸化膜5を順次積層して成長し、パターニングする。この後、リンを注入し、トランジスタのソース/ドレインを形成する。さらに、シリコン酸化膜を成長した後、反応性ドライエッチング法によりエッチング除去し、シリコン酸化膜からなるサイドウォール6を形成する。以上の工程によりトランジスタが形成される。

【0004】次に、BPSSG膜7を成長し、アニールしてBPSSG膜7をフローする。その後、BPSSG膜7にコンタクト窓を形成した後、ポリシリコン膜とシリサイドを順次積層する。この後、反応性ドライエッチングによりパターニングしてポリサイド配線8を形成する。

【0005】次に、図9に示すように、BPSSG膜9を成長し、アニールしてフローさせる。その後、BPSSG膜9に反応性ドライエッチングにより、0.4μm径のコンタクト窓10を形成する。

【0006】次に、図10に示すように、ポリシリコン膜11を成長する。次に、図11に示すように、反応性ドライエッチングにより蓄積電極12を形成する。

【0007】次に、図12に示すように、シリコン窒化膜を成長した後、シリコン窒化膜を酸化して約1.5nmの酸化膜を形成する。このようにして容量絶縁膜13を形成する。その後、ポリシリコンを成長したのち、パターニングしてプレート電極14を形成する。さらに、BPSSG膜15を層間絶縁膜として成長する。

【0008】次に、アルミニウム配線16を形成した後に、表面保護膜17を形成する。

【0009】

【発明が解決しようとする課題】このような従来の製造方法は、大容量メモリの製造方法として用いられているが、メモリの集積化に伴い蓄積電極の2次元的な占有面積が小さくなり、蓄積電極12の高さを高くして表面積を確保するものである。ところが、蓄積電極12の高さが高くなると、後の工程でのパターニングがより困難になるという問題があった。

【0010】本発明の目的は、蓄積電極の面積を増大し、メモリ容量の増大を可能にする半導体メモリ装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体メモリの製造方法は、一導電型の半導体基板に第一のポリシリコン膜を形成する工程と、前記ポリシリコン膜上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜にパターンを形成し、第二のポリシリコン膜を成長する工程と、前記第二のポリシリコン膜をエッチバックする工程と、前記第一の絶縁膜を除去する工程と、前記第一および第二のポリシリコン膜上に容量絶縁膜を形成する工程と、前記容量絶縁膜上に第三のポリシリコン膜を形成する工程とを備えている。

【0012】

【作用】本発明は上記した構成により、蓄積電極の表面積を増大させ、メモリセル容量を大きくすることができるので、半導体メモリ装置の高集積化が可能になる。

【0013】

【実施例】本発明の実施例を図1～図を用いて以下に説明する。

【0014】図1において、比抵抗10～15Ωcm、結晶方向〈100〉のP型シリコン基板1に従来の方法で選択的に分離用酸化膜2を形成する。つぎに、10nmの厚みのゲート酸化膜3と約200nmの厚みを有し、シート抵抗20Ω/□のリンを含むポリシリコン4と約200nmの厚みを有するシリコン酸化膜5を順次積層して成長し、パターニングする。この後、リンを加速エネルギー40keV、 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で注入し、接合深さ0.5μm、シート抵抗40Ω/□のトランジスタのソース/ドレインを形成する。さらに、250nmの厚みのシリコン酸化膜を成長した後、エッチング除去し、0.25μm幅のサイドウォール6を形成する。以上の工程によりトランジスタが形成される。

【0015】次に、3重量%の濃度のボロンと6重量%の濃度のリンを含む400nmの厚みのBPSSG膜7を成長し、850℃で30分間、N₂雰囲気中でフローする。その後、BPSSG膜7に従来の方法で0.5μmのコンタクト窓を形成した後、90nmの厚みの第二のポリシリコンと150nmの厚みのシリサイドから構成さ

れる、シート抵抗 $4\Omega/\square$ のポリサイド配線8を形成する。

【0016】次に、図2に示すように、3重量%の濃度のボロンと6重量%の濃度のリンを含む 300nm の厚みのBPSSG膜9を成長し、 850°C で30分間 N_2 雰囲気でフローした後、厚さ 20nm のシリコン窒化膜20を減圧CVD法により成長する。その後、反応性ドライエッチングにより、 $0.4\mu\text{m}$ 径のコンタクト窓10を形成する。

【0017】次に、図3に示すように、減圧CVD法により 200nm の厚みで、シート抵抗 $50\Omega/\square$ のリンを含むポリシリコン膜21を成長した後、 400nm の厚みのシリコン酸化膜22を成長する。

【0018】次に、図4に示すように、反応性ドライエッチングによりシリコン酸化膜22とポリシリコン膜21をエッチングしポリシリコン電極23を形成する。

【0019】次に、図5に示すように、再度シリコン酸化膜22に反応性ドライエッチングにより $0.3\mu\text{m}$ の幅のパターンを形成して、シリコン酸化膜パターン24を形成する。そして、シート抵抗 $100\Omega/\square$ の 100nm の厚みのポリシリコン膜25を成長する。

【0020】次に、図1(f)に示すように、平行平板型のドライエッチャーを用いて、反応ガスとして $\text{HBr}/\text{O}_2=20/1\text{SCCM}$ (standard CC per minute)、圧力 30Pa 、RFパワー 200W の条件でエッチングし、シリコン酸化膜の側壁にのみポリシリコン膜を残し、互いに分離された蓄積電極26を形成する。この後、酸化膜マスク24を弗酸により除去する。これにより、リソグラフィーの解像度の限界以上の微細な溝が形成でき、表面積を増大することができる。蓄積電極の2次元的な面積を $1.3\mu\text{m}\times 0.5\mu\text{m}$ とすると約50%の蓄積電極の面積増大を図る事が出来る。

【0021】次に、図7に示すように、減圧CVD法により成長ガスとして SiH_2Cl_2 と NH_3 、ガス流量は $\text{SiH}_2\text{Cl}_2/\text{NH}_3=400/40\text{SLM}$ (standard liter per minute)、温度 700°C 、圧力 40Pa の条件で、まず約 6nm の厚みのシリコン窒化膜を成長した後、ガス流量 $\text{H}_2/\text{O}_2=1.5/9\text{SLM}$ のバイロ雰囲気中 850°C 、20分の条件で、シリコン窒化膜を酸化して約 1.5nm の酸化膜を形成する。これは、容量絶縁膜として酸化膜換算で 5.0nm の厚みでO/N膜13を形成していることになる。

【0022】その後、 200nm の厚みで $100\Omega/\square$ のリンを含むポリシリコンを成長したのち、パターンニングしてプレート電極14を形成する。さらに、3重量%の濃度のボロンおよび、6重量%の濃度のリンを含む 400nm の厚みのBPSSG膜15を層間絶縁膜として成長する。

【0023】次に、アルミニウム配線16を形成した後、表面保護膜17を形成するというものである。

【0024】

【発明の効果】本発明によればリソグラフィーの解像度の限界以上のパターンを有する溝型のポリシリコン電極を形成する事が出来るので、より大きな表面積が得られ、大きなメモリー容量を確保できるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の半導体メモリー装置の製造方法を示す断面図

【図2】本発明の一実施例の半導体メモリー装置の製造方法を示す断面図

【図3】本発明の一実施例の半導体メモリー装置の製造方法を示す断面図

【図4】本発明の一実施例の半導体メモリー装置の製造方法を示す断面図

【図5】本発明の一実施例の半導体メモリー装置の製造方法を示す断面図

【図6】本発明の一実施例の半導体メモリー装置の製造方法を示す断面図

【図7】本発明の一実施例の半導体メモリー装置の製造方法を示す断面図

【図8】従来の一実施例の半導体メモリー装置の製造方法を示す断面図

【図9】従来の一実施例の半導体メモリー装置の製造方法を示す断面図

【図10】従来の一実施例の半導体メモリー装置の製造方法を示す断面図

【図11】従来の一実施例の半導体メモリー装置の製造方法を示す断面図

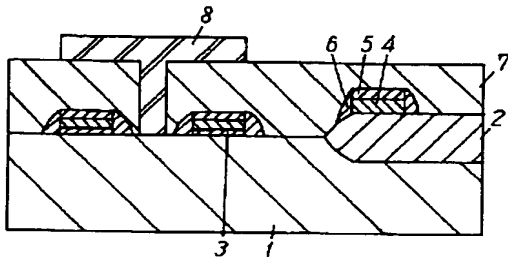
【図12】従来の一実施例の半導体メモリー装置の製造方法を示す断面図

【符号の説明】

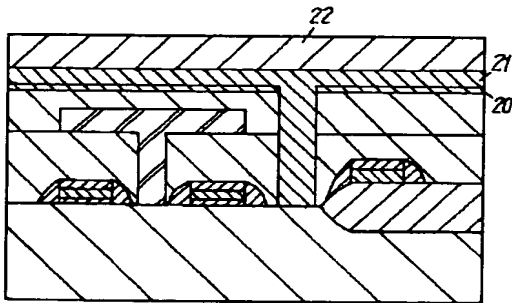
- 1 P型シリコン基板
- 2 分離用酸化膜
- 3 ゲート酸化膜
- 4 ポリシリコン膜
- 5 シリコン酸化膜
- 6 サイドウォール
- 7 BPSSG膜
- 8 ポリサイド配線
- 9 BPSSG膜
- 10 コンタクト窓
- 11 ポリシリコン膜
- 12 蓄積電極
- 13 容量絶縁膜
- 14 プレート電極
- 15 BPSSG膜
- 16 アルミニウム配線
- 17 表面保護膜
- 20 シリコン窒化膜

- 5
21 ポリシリコン膜
22 シリコン酸化膜
23 ポリシリコン電極

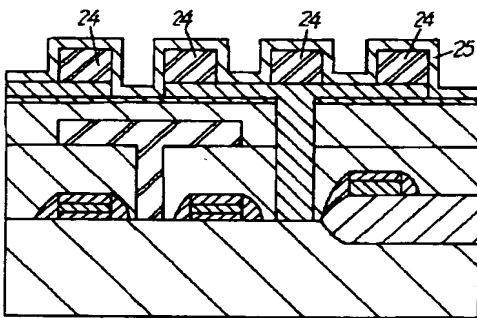
【図1】



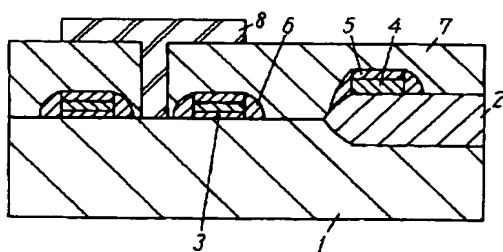
【図3】



【図5】

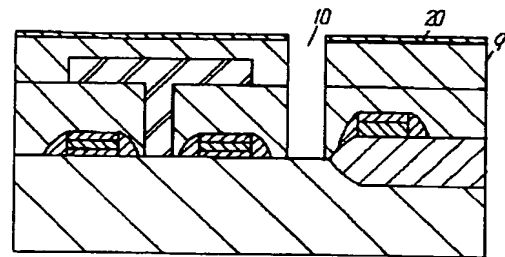


【図8】

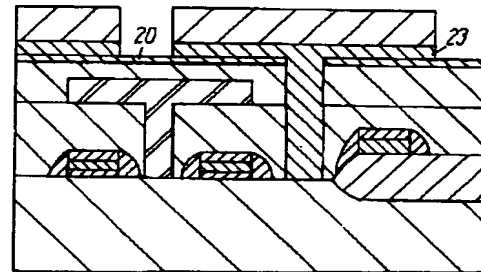


- 6
24 シリコン酸化膜パターン
25 ポリシリコン膜
26 蓄積電極

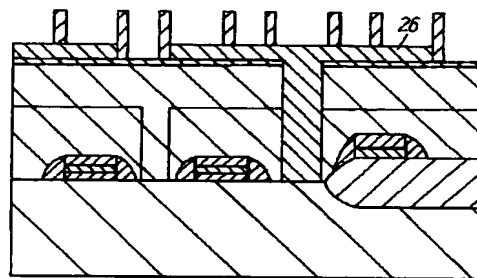
【図2】



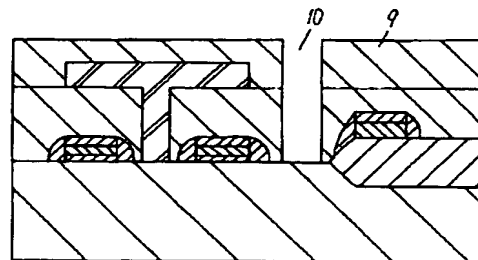
【図4】



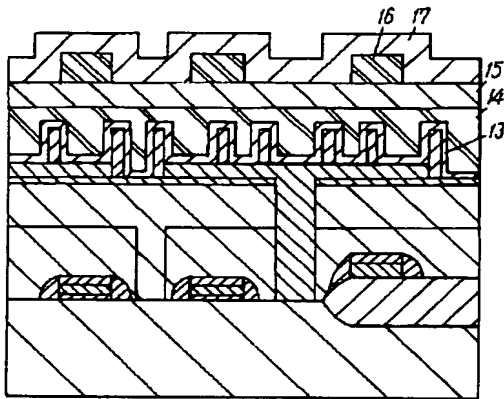
【図6】



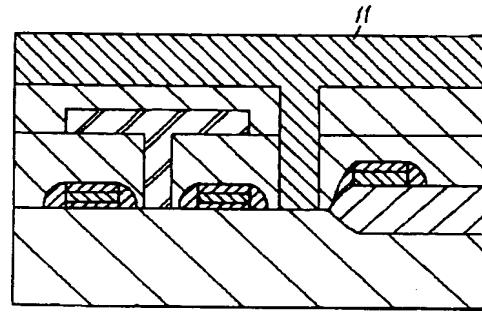
【図9】



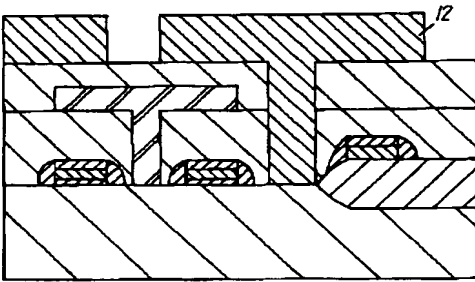
【図7】



【図10】



【図11】



【図12】

